

EUROPEAN PATENT OFFICE

Patent Abstracts of Japan

PUBLICATION NUMBER : 2002124487
PUBLICATION DATE : 26-04-02

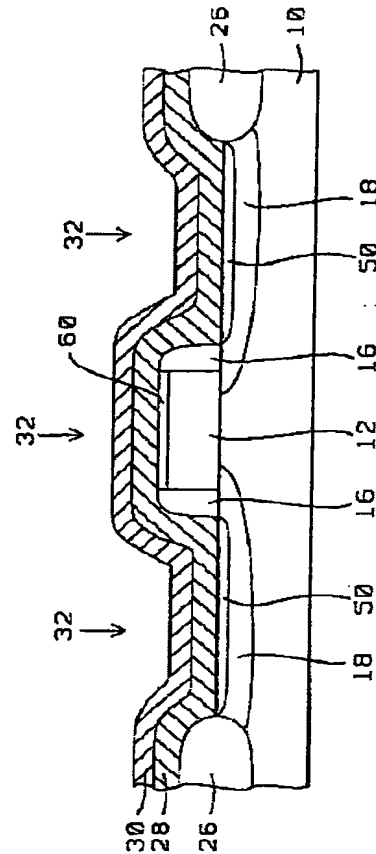
APPLICATION DATE : 08-08-01
APPLICATION NUMBER : 2001240277

APPLICANT : CHARTERED SEMICONDUCTOR
MANUFACTURING INC;

INVENTOR : PEY KIN LEONG;

INT.CL. : H01L 21/28 H01L 21/3205 H01L 21/336
H01L 29/43 H01L 29/78

TITLE : METHOD OF FORMING SILICIDE



ABSTRACT : PROBLEM TO BE SOLVED: To dissociate a natural oxide film when forming Ni (Pt) silicide.

SOLUTION: The method of forming silicide comprises a process of preparing a semiconductor substrate 10 provided with at least one device having exposed silicon, a process of depositing a nickel-platinum (Ni (Pt)) alloy layer 28 at least on the device, a process of depositing a titanium (Ti)-coated layer 30 on the Ni (Pt) alloy layer to form an Ni (Pt) film coated with Ti, and a process of conducting short-time annealing (RTA) 32 on the structure to form the silicide 50 on the exposed silicon.

COPYRIGHT: (C)2002,JPO

THIS PAGE BLANK (USPTO)

(11)特許出願公開番号

特開2002-124487

(P2002-124487A)

(43)公開日 平成14年4月26日(2002.4.26)

(51) Int.Cl.⁷

識別記号

FI

テーマコート* (参考)

H O 1 L 21/28

3 0 1

H O 1 L 21/28

301S 4M104

301D 5F033

21/3205

29/62

G 5 F 1 4 0

21/336

21/88

Q

29/43

29/78

3 0 1 P

審査請求 未請求 請求項の数29 OL (全 8 頁) 最終頁に続く

(21)出願番号 特願2001-240277(P2001-240277)

(22)出願日 平成13年8月8日(2001.8.8)

(31)優先権主張番号 09/636585

(32)優先日 平成12年8月10日(2000.8.10)

(33)優先権主張国 米国 (US)

(71)出願人 501087641

チャータード・セミコンダクター・マニュ
ファクチャリング・インコーポレイテッド
CHARTERED SEMICONDU
CTOR MANUFACTURING,
INC.

アメリカ合衆国、95035 カリフォルニア
州、ミルピタス、マクキャンドレス・ドラ
イブ、1450

(74) 代理人 100089705

弁理士 社本 一夫 (外5名)

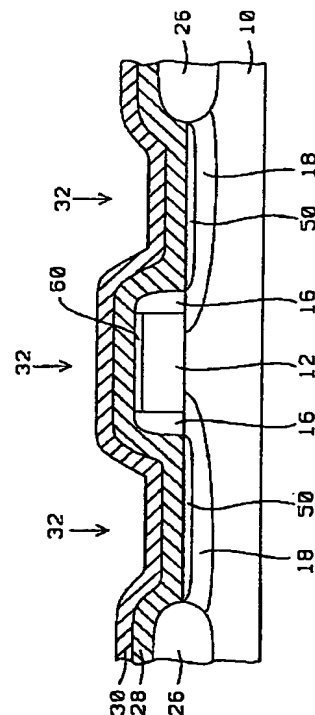
[最終頁に続く](#)

(54)【発明の名称】 シリサイドの形成方法

(57)【要約】 (修正有)

【課題】Ni(Pt)シリサイドを形成するとき、天然酸化膜を解離させる。

【解決手段】 次のステップを備えるシリサイドの形成プロセスを提供する。露呈したシリコンを有する少なくとも1つのデバイスが設けられた半導体基板10が提供される。少なくともデバイス上にニッケル白金（Ni（Pt））合金層28が堆積される。Ti被覆したNi（Pt）膜を形成し得るように、チタン（Ti）被覆層30をNi（Pt）合金層上に堆積させる。次に、露呈したシリコン上にシリサイド50を形成し得るように、構造体に対し短時間アニール（RTA）32を行う。



【特許請求の範囲】

【請求項1】 シリサイドの形成方法において、露呈したシリコンを有する少なくとも1つのデバイスが設けられた半導体基板を提供するステップと、少なくとも前記デバイス上にニッケル白金(Ni(Pt))合金層を堆積させるステップと、Ti被覆したNi(Pt)膜を形成し得るように、前記Ni(Pt)合金層上にチタン(Ti)被覆層を堆積させるステップと、前記露呈したシリコン上にシリサイドを形成し得るように前記構造体(基板)に対し短時間アニール(RTA)を行うステップとを備える、方法。

【請求項2】 請求項1の方法において、前記Ni(Pt)合金層の厚さが約50Å乃至300Åの範囲にあり、前記Ti被覆層の厚さが約30Å乃至300Åの範囲にある、方法。

【請求項3】 請求項1の方法において、前記Ni(Pt)合金層が、約0.2原子%乃至10原子%の白金を含むニッケルである、方法。

【請求項4】 請求項1の方法において、前記Ni(Pt)合金層が、Ni合金中に約0.2原子%乃至10原子%の白金を有する金属ターゲット材をスパッタリングすることにより形成される、方法。

【請求項5】 請求項1の方法において、前記短時間アニールが、10秒乃至60秒間、約400℃乃至800℃の範囲の温度にて行われる、方法。

【請求項6】 請求項1の方法において、前記Ni(Pt)合金層の堆積ステップの前に、約100秒乃至800秒間、1:0対1のHF溶液を使用して前記半導体基板10及びデバイスを清浄にするステップを含む、方法。

【請求項7】 請求項1の方法において、前記短時間アニールステップの後に、エッチバックにより、残留する全てのNi(Pt)合金層及びTi被覆層を除去するステップを含む、方法。

【請求項8】 請求項1の方法において、前記短時間アニールステップの後に、約1分乃至30分間、硫黄過酸化物の混合体を使用して行われるエッチバックにより、残留する全てのNi(Pt)合金層及びTi被覆層を除去するステップを含む、方法。

【請求項9】 請求項1の方法において、前記短時間アニールステップの後に、時間約1分乃至10分間、温度約30℃乃至70℃にて、約5%乃至55%のH₂SO₄、約1%乃至22.5%のH₂O₂及び1%乃至22.5%のH₂Oから成る、硫黄過酸化物の混合体を使用して行われる、エッチバックによって、残留する全てのNi(Pt)合金層及びTi被覆層を除去するステップを含む、方法。

【請求項10】 請求項1の方法において、前記シリサイドがNi(Pt)Siから成る、方法。

【請求項11】 シリサイドの形成方法において、少なくとも1つの活性領域及び少なくとも1つのポリゲート領域を有する半導体基板を提供するステップと、前記半導体基板を清浄化するステップと、少なくとも前記活性領域及び前記ポリゲート領域上にニッケル白金(Ni(Pt))合金層を堆積させるステップと、

Ti被覆したNi(Pt)膜を形成し得るように前記Ni(Pt)合金層上にチタン(Ti)被覆層を堆積させるステップと、

シリサイドを形成するように前記構造体(基板)に対し短時間アニール(RTA)を行うステップとを備える、方法。

【請求項12】 請求項11の方法において、前記Ni(Pt)合金層の厚さが約50Å乃至300Åの範囲にあり、前記Ti被覆層の厚さが約30Å乃至300Åの範囲にある、方法。

【請求項13】 請求項11の方法において、前記Ni(Pt)合金層が、約0.2原子%乃至10原子%の白金を含むニッケルである、方法。

【請求項14】 請求項11の方法において、前記Ni(Pt)合金層が、Ni合金中に約0.2乃至10原子%の白金を有する金属ターゲット材をスパッタリングすることにより形成される、方法。

【請求項15】 請求項11の方法において、前記短時間アニールが、10秒乃至60秒間、約400℃乃至800℃の範囲の温度にて行われる、方法。

【請求項16】 請求項11の方法において、前記半導体基板10を清浄化するステップが、約100秒乃至800秒間、1:0対1のHF溶液を使用して行われる、方法。

【請求項17】 請求項11の方法において、前記短時間アニールステップの後に、エッチバックにより残留する全てのNi(Pt)合金層及びTi被覆層を除去するステップを含む、方法。

【請求項18】 請求項11の方法において、前記短時間アニールステップの後に、約1分乃至30分間、硫黄過酸化物の混合体を使用して行われるエッチバックにより、残留する全てのNi(Pt)合金層28及びTi被覆層を除去するステップを含む、方法。

【請求項19】 請求項11の方法において、前記短時間アニールステップの後に、時間約1分乃至10分間、温度約30℃乃至70℃で、約5%乃至55%のH₂SO₄、約1%乃至22.5%のH₂O₂及び1%乃至22.5%のH₂Oから成る、硫黄過酸化物の混合体を使用して行われるエッチバックによって、残留する全てのNi(Pt)合金層及びTi被覆層を除去するステップを含む、方法。

【請求項20】 請求項11の方法において、前記シリサイドがNi(Pt)Siから成る、方法。

【請求項21】 シリサイドの形成方法において、少なくとも1つの活性領域及び少なくとも1つのポリゲート領域を有する半導体基板を提供するステップと、前記半導体基板を清浄化するステップと、厚さが約50Å乃至300Åの範囲にあるNi (Pt) 合金層を少なくとも前記活性領域及び前記ポリゲート領域上に堆積させるステップと、厚さが約30Å乃至300Åの範囲にあるTi被覆層を、Ti被覆したNi (Pt) 膜を形成し得るように、前記Ni (Pt) 合金層上に堆積させるステップと、シリサイドを形成し得るように前記構造体(基板)に対し短時間アニール(RTA)を行うステップとを備える、方法。

【請求項22】 請求項21の方法において、前記Ni (Pt) 合金層が、約0.2原子%乃至10原子%の白金を含むニッケルである、方法。

【請求項23】 請求項21の方法において、前記Ni (Pt) 合金層が、Ni合金中に約0.2乃至10原子%の白金を有する金属ターゲット材をスパッタリングすることにより形成される、方法。

【請求項24】 請求項21の方法において、前記短時間アニールが、10秒乃至60秒間、約400℃乃至800℃の範囲の温度にて行われる、方法。

【請求項25】 請求項21の方法において、前記半導体基板10を清浄化するステップが、約100秒乃至800秒間、100対1のHF溶液を使用して行われる、方法。

【請求項26】 請求項21の方法において、前記短時間アニールステップの後に、エッチバックにより残留する全てのNi (Pt) 合金層及びTi被覆層を除去するステップを含む、方法。

【請求項27】 請求項21の方法において、前記短時間アニールステップの後に、約1分乃至30分間、硫黄過酸化物の混合体を使用して行われるエッチバックにより、残留する全てのNi (Pt) 合金層28及びTi被覆層30を除去するステップを含む、方法。

【請求項28】 請求項21の方法において、前記短時間アニールステップの後に、時間約1分乃至10分間、温度約30乃至70℃で、約5%乃至55%のH₂SO₄、約1%乃至22.5%のH₂O₂及び1%乃至22.5%のH₂Oから成る、硫黄過酸化物の混合体を使用して行われるエッチバックにより、残留する全てのNi (Pt) 合金層及びTi被覆層を除去するステップを含む、方法。

【請求項29】 請求項21の方法において、前記シリサイドがNi (Pt) Siから成る、方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、一般に、シリサイド層の形成、より具体的には、半導体デバイスの製造に

使用されるチタン被覆/ニッケル(白金)シリサイドプロセスに関する。

【0002】

【従来の技術】金属がケイ素(Si)と反応してシリサイド又はサリサイド(自己整合したシリサイド)を形成することは、成長する相の核形成により拡散が制御されるか又は制限されるかの何れかである。拡散が制御された運動は、時間の平方根にて成長が増す状態で殆どのシリサイドにて観察される。

【0003】最近のチタン(Ti)又はコバルト(Co)系のサリサイドプロセスは全て核形成を制限する反応である。縮小ゲート長さは、最終的に、核形成箇所の欠如のため、核形成制限反応シリサイドの完全な相移転を制限することになる。この制限は狭小幅シート抵抗ロール・オフとなる。

【0004】シー(Chee)らへの米国特許第5,966,607号には、ソース/ドレーン領域とポリシリコンゲートとの間に金属シリサイドのブリッジが形成される虞れを少なくする、MOSトランジスタ構造体上に金属サリサイド層を形成する方法が記載されている。比較的薄いニッケル又は白金金属層がMOSトランジスタ構造体の表面に形成されて、金属サリサイド層を形成するために使用される。ゲートの側壁スペーサの表面における薄いNi又はPt金属層は、金属シリサイドの欠陥が生ずる可能性を少なくする。

【0005】パーク(Park)らへの米国特許第6,025,205号には、窒素焼鈍処理を施した白金合金膜が記載されている。具体的には、室温から500℃に加熱された基板の上に、不活性ガス(Ar、Ne、Kr、Xe)のみならず窒素を含む雰囲気下にてPt膜を堆積させることで、(111)、(200)又は(220)に方位制御されたPt膜が提供される。次に、Pt膜を焼鈍して、その製造中にPt膜中に導入された窒素を実質的に除去する。

【0006】バイウン(Byun)への米国特許第5,668,040号には、チタン又はVB高融点金属遷移元素のようなIVB群から成る第一の金属層がシリコン基板又は酸化ケイ素層上に堆積される、キャパシタプロセスが記載されている。Ni又はPtのような、略貴金属遷移元素に近いVII群は、第一の金属層上に堆積させる。高融点金属と略貴金属層との間に高融点窒化金属層を形成するため、アンモニア雰囲気中で基板及び金属層に対し熱処理を行う。また、高融点金属をシリコン基板の上に堆積させるならば、熱処理の間、高融点金属層と基板との間にシリサイド層が形成される。しかし、高融点金属を酸化ケイ素基板上に堆積させるならば、熱処理の間、高融点金属酸化物層が形成される。

【0007】マイクロエレクトロニクス・エンジニアリング51-52(2000)、583-594頁にて、P. S. リー(Lee)らによる「天然酸化物が有る場

合／無い場合のNi-Si相移転(On the Ni-Si Phase Transformation With/Without Native Oxide)」という論文には、Niシリサイドの形成に対する天然酸化物の影響を調べるために行った研究が記載されている。種々の厚さのNi膜を酸化物無しの場合、天然酸化物有りの場合、及びRTO酸化物有りの場合にてSi(100)ウェハ上にスパッタリングして、約250乃至900℃にて1分間、RTAI窒素雰囲気中に曝した。Ni膜は、800℃以下では反応せず、800乃至900℃でNiSi₂が形成されることが分かった。

【0008】1999年春のMat. Res. Soc. Symp. Proc. 会議にて受理された、D. マンゲリンク(Mangelinck)らによる「(100)Si及び(111)Si上におけるNi(Pt)シリサイドの形成及び安定性(Formation and Stability of Ni(Pt) Silicide on (100)Si and (111)Si)」という論文(6頁)には、(100)Si、及び(111)Si上におけるNiSi膜の熱的安定性に対する少量のPt(5 at.%)の影響に関する研究結果が記載されている。白金(Pt)を追加する結果、ジシリサイド(disilicide)の核形成温度が900℃まで上昇し、このため、高いIC温度におけるNiSiの安定性が一層優れたものとなる。

【0009】最近、ニッケルシリサイドの熱的不安定性を解決するため、その後、後工程の相互接続プロセスと適合可能な、900℃の温度まで安定的であるニッケル白金(Ni(Pt))合金シリサイドが提案されている。しかし、Niは、天然酸化物(SiO₂)を容易に還元することはできず、このため、界面酸化物は、Ni(Pt)シリサイド形成に重大な問題点を招来する。例えば、シリコン(Si)層上に天然酸化物(SiO₂)の上部層が存在するならば(天然酸化物遮断)、ニッケル(Ni)は、500℃の焼鈍温度のときでもSiと反応しない。

【0010】

【発明が解決しようとする課題】従って、本発明の1つの目的は、Tiキャップ(Ti保護)Ni(Pt)プロセスを提供することである。

【0011】本発明の別の目的は、Ni(Pt)シリサイドを形成するとき、天然酸化物を解離させることである。本発明の更なる目的は、熱的に安定的で、線幅から独立的である(拡散制御型ではなくて運動型である)Ni系シリサイドを形成するNi系シリサイドプロセスを提供することである。

【0012】その他の目的は、以下の説明から明らかになるであろう。

【0013】

【課題を解決するための手段】本発明の上記及びその他の目的は次のように実現可能であることが分かった。具体的には、上に露呈したシリコンを有する少なくとも1

つのデバイスが設けられた半導体基板が提供される。少なくともこのデバイス上にニッケル-白金(Ni(Pt))合金層を堆積させる。Ti被覆(保護)したNi(Pt)膜を形成し得るように、Ni(Pt)合金層上にチタン(Ti)被覆層(保護層)を堆積させる。次に、露呈したシリコン上にシリサイドを形成するため、構造体に対し短時間アニール(RTA)法を行う。

【0014】

【発明の実施の形態】本発明の特徴及び有利な点は、同様の又は相応する要素、領域及び部分を同様の参照番号で表示する添付図面と共に、以下の説明を読むことにより、一層明確に理解されよう。

【0015】別段の記載がない限り、全ての構造体、層等は、従来技術にて既知の従来の方法にて形成し又は行うことができる。核形成制限反応(nucleation-limiting reaction)を制限しないようにするため、核形成制限型ではなく、拡散制御型のニッケル(Ni)系シリサイドプロセスが提案されている。しかし、Ni系シリサイドプロセスは、半導体後工程で熱的安定性が劣るという欠点があり、また、Niシリサイドの形成は、天然酸化物の存在の影響を受け易い。

【0016】シリサイド法は、自己整合したシリサイド層/材料を形成する。これらの制約を解消するため、当該発明者は、新規なシリサイドプロセス、すなわち、その下部のNi(Pt)上のTi被覆層(保護層)からのTiが任意の天然酸化物(SiO₂)を解離させ、NiSi(ニッケルシリサイド)の形成を許容するゲッタリング剤として作用する、チタン被覆ニッケル白金合金(Ti被覆したNi(Pt))シリサイドプロセスを開発した。

【0017】簡単に説明すると、本発明は、その上に形成された全ての酸化物を除去するため半導体デバイスの活性領域及びポリゲート領域を清浄にする清浄プロセスを伴う。清浄化された活性領域及びポリゲート領域上には、Ni(Pt)合金層が形成される。次に、Ni(Pt)層上にTi被覆層(保護層)を形成する。Ti被覆したNi(Pt)膜内のNi(Pt)シリサイド相移転のために単一の短時間アニール(RTA)ステップ(工程)が採用される。次に、余分なNi(Pt)及び未反応のTiを除去するためシリサイド・エッチバックを行う。その後、接触工程及び通常の後工程が行われる。

【0018】従って、図1に図示するように、半導体基板10は、ポリゲート領域14内にポリゲート12を形成している。半導体10は、シリコンにて形成されることが好ましい。

【0019】側壁スペーサ16は、ソース/ドレイン領域18が側壁スペーサ16に隣接して活性領域20内にあるようにして、ポリゲート12に隣接して形成することができる。フィールド酸化膜(FOX)領域26は、活性領域20に隣接し、該活性領域20の外側に形成す

ることができ、該領域26は、活性領域20を他の隣接するデバイス又は領域から隔離する働きをする。

【0020】本発明の方法に対し、その他の開始構造体を使用することができる。図1に図示した構造体は、単に説明のためのものにしか過ぎない。

プレ・サリサイド清浄プロセス

構造体を雰囲気酸素及び／又は水分に曝すと、ソース／ドレーン及びポリゲート12上に酸化物層22を形成することができる。酸化物層22の厚さは、一般に、約5Å乃至30Åである。

【0021】露呈したシリコン上に形成されるであろう酸化物層22を除去するため、プレ・サリサイド清浄プロセス24が行われる。例えば、活性領域20及びポリゲート領域14から任意の酸化物22を除去するため、約100秒乃至800秒間、図1の構造体に希釈したHF溶液(HF:H₂Oが約1:100の割合の)を作用させる(構造体を希釈したHF溶液に浸す)。

【0022】プレ・サリサイド清浄プロセスは、相当量の酸化物層22を除去する。しかし、プレ・サリサイド清浄の後、ソース／ドレーン領域18又はポリゲート12上に幾分かの酸化物が残る可能性がある。また、Ni(Pt)堆積ステップの前に、構造体を取り囲む周りの雰囲気中の酸素又は水分に起因して、活性領域20及びポリゲート領域14内で露呈したシリコン上に追加の酸化物(例えば、天然酸化物)が形成される可能性がある。

Ni(Pt)の堆積

図2に図示するように、構造体、ポリゲート12、及びソース／ドレーン18(また、任意の酸化物(図示せず))のような活性デバイス上に、Ni(Pt)層28を堆積させる。Ni(Pt)層28は、約0.2原子%乃至10原子%の白金(Pt)を含む、ニッケル(Ni)合金金属ターゲット材を使用してスパッタリングにより堆積させることが好ましい。Ni(Pt)層28の厚さは約50Å乃至300Åであることが好ましい。この堆積は、室温にて又は室温以上にて行うことができる。スパッタリングは、高周波数(rf)スパッタリング又は非高周波(non-rf)スパッタリングとすることができる。スパッタリング雰囲気は、アルゴン又はアルゴンと窒素の混合体とすることができる。可能な合金金属ターゲット材はNi(Pd)を含む。

Tiの堆積

図3に図示するように、Ti被覆層(保護層)30を、Ni(Pt)層28上に堆積させる。Ti被覆層30は、スパッタリングにより堆積させることが好ましく、また、厚さが約10Å乃至300Åとすることが好ましく、約30Å乃至200Åとすることがより好ましい。Ti被覆したNi(Pt)膜40を形成するために、アニール(焼鈍)工程の前に、Ti被覆層30が形成される。スパッタリング条件は、N₂又はN₂/Ar状態下で

てプラズマの助けを受けて／受けずに、約室温乃至400℃とすることができる。TiNも被覆層(保護層)30として使用することができる。

NiSi形成のための単一のRTA

図4に図示するように、Ti被覆層30を形成した後、Ti被覆-Ni(Pt)膜40内でのNi(Pt)シリサイド相移転のため構造体に対し短時間アニール(RTA)32が行われる。アニール(焼鈍)条件及び堆積したままの層の厚さは、形成されるシリサイド50、60の量、従って、消費されるTi被覆層30及びNi(Pt)層28の量を決定する。図4には、シリサイド層50、60を形成するためにTi被覆30及びNi(Pt)層28の一部を消費する状態が示してある。

【0023】RTA32は、約10秒乃至60秒間、約400℃乃至800℃の温度にて行われることが好ましい。RTAの温度上昇勾配は、約20℃/秒乃至100℃/秒とし、RTAの均熱時間(soak time)は約5秒乃至60秒とする。

【0024】Ni(Pt)層28は、純粋なNi-サリサイド形成の場合、約600℃の最高RTA温度よりも十分に高い、約800℃にて安定的である。RTA32を実施する間の本発明の重要な点としては、Ti被覆層30からのチタンが、Ni(Pt)層28と活性領域20/ポリゲート領域14との間で任意の天然酸化物(SiO₂)を解離させるゲッターリング剤として機能することである。かかる天然酸化物は、図1のプレ・サリサイド清浄ステップ後にソース／ドレーン領域18又はポリゲート12上に存在するか、又は上述したように、プレ・サリサイド清浄工程と図2のNi(Pt)層28を形成する工程との間で形成することができる。かかる天然酸化物は、厚さが約5Å乃至80Å又は厚さが約5Å乃至20Åの範囲とすることができる。

【0025】反応スキーム(reaction scheme)は、Ti被覆層30及びNi(Pt)合金層28の双方の厚さ及びその相対的厚さの比に従って相違するものとなる。更に、400℃乃至800℃の範囲のNi(Pt)サリサイド形成時の供給熱量が大であるから、反応過程及び最終的な構造体は、また、サリサイド形成温度にも依存する。

Ti及びNi(Pt)の堆積

Ti被覆層30は、アニール(焼鈍)32(N₂又はN₂/Ar雰囲気中のRTA)の間、TiO及びTiON保護層(図示せず)をその表面に形成することにより、Ni(Pt)合金層28の酸化を防止することができる。

RTAプロセス

Ni、すなわちこの場合にあってはNi(Pt)は、P. S. リーらによる「天然酸化物有る場合／無い場合のNi-Si相移転時」という論文に記載されているように、SiO₂又は天然酸化物を還元することができないから、Ti被覆層30からのTiは、Ni(Pt)合

金属層28を通じて拡散して、Ni(Pt)層28と下部層との間の境界面に蓄積し、酸化物を還元し、 $[\text{Ni(Pt)}]_x\text{Ti}_y\text{O}$ 中間層(図示せず)を提供する。

【0026】Ni(Pt)は、 $[\text{Ni(Pt)}]_x\text{Ti}_y\text{O}$ 中間層を通じて拡散してSiと反応し、NiPtSiシリサイド層50、60を形成する。未反応のNi(Pt)は、Ni(Pt)Si層の頂部に残る。これら未反応のNi(Pt)は、Ti系酸化物(TiO)又は窒化酸化物(TiON)と共に、エッチバックプロセスを実施する間、エッチング除去することができる。

【0027】シリサイド層50は、活性領域20内でソース/ドレイン領域18上に形成され、シリサイド層60は、ポリゲート領域内のポリゲート12上に形成される。約50%乃至100%のNi(Pt)層28は、シリサイド層50、60に変換され、また、約2%乃至80%のTi被覆層30(その厚さに依存する)は、天然酸化物を還元する。

【0028】温度 $\leq 800^\circ\text{C}$ の場合、シリサイド層50、60は、100%のNi(Pt)Siから成り、温度 $> 800^\circ\text{C}$ の場合、シリサイド層50、60はまたNi(Pt)Siに加えてある量のNi(Pt)Si₂をも含む。

シリサイド・エッチバック

図5に図示するように、余剰なNi(Pt)及び未反応のTiを除去するために、図4の構造体にて、シリサイド・エッチバックを行う。好ましくは、構造体に対し約1分乃至10分間、硫黄過酸化物の混合体(H_2SO_4 、 H_2O_2 、 H_2O)を作用させる(構造体を、約1分乃至10分間、硫黄過酸化物の混合体に漬ける)。硫黄過酸化物の混合体のシリサイドエッチバック溶液は、約5%乃至55%の H_2SO_4 、約1%乃至22.5%の H_2O_2 、及び約1%乃至22.5%の H_2O から成ることが好ましい。エッチバック温度は、約30°C乃至80°Cであり、約1分乃至30分間、行われる。

【0029】このシリサイド・エッチバックは、更なる処理のためポリゲート領域14内のシリサイド層60及び活性領域20内のシリサイド層50を露呈させる。次

に、接触工程及び通常の後工程を行うことができる。

本発明の利点

本発明の方法の利点は次の点を含む。

【0030】i) Ni(Pt)Si50、60を形成する間、天然酸化物を解離させること；

ii) NiSi₂の形成を遅らせ、より優れた凝集抵抗を有する熱的に安定的なNi(Pt)Siプロセスとなること；

iii) Ti被覆層30が周囲雰囲気からの酸素汚染を防止すること。

【0031】本発明の特に好ましい実施の形態を図示し、且つ説明したが、これは、特許請求の範囲に記載された場合を除いて、本発明を限定することを意図するものではない。

【図面の簡単な説明】

【図1】本発明の好ましい実施の形態の概略図である。

【図2】本発明の好ましい実施の形態を示す、図1と別の概略図である。

【図3】本発明の好ましい実施の形態を示す、図1と別の概略図である。

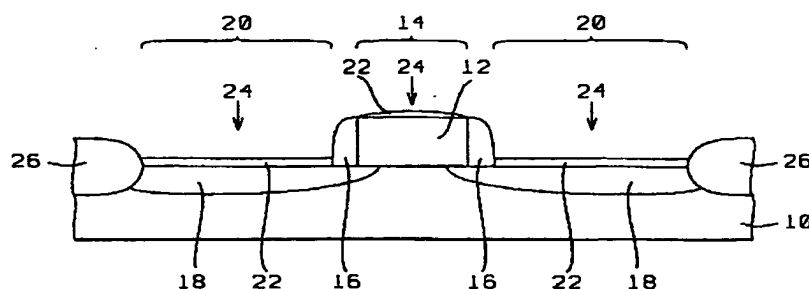
【図4】本発明の好ましい実施の形態を示す、図1と別の概略図である。

【図5】本発明の好ましい実施の形態を示す、図1と別の概略図である。

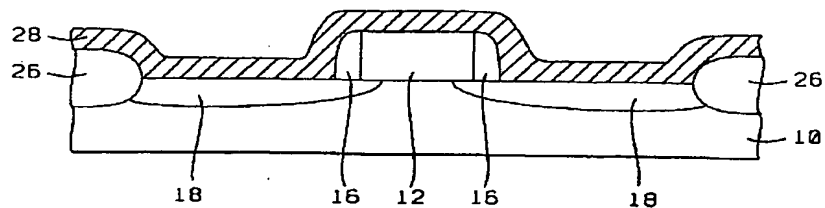
【符号の説明】

10	半導体基板	12	多数ゲート
14	多数ゲート領域	16	側壁スペーサ
18	ソース/ドレイン領域	20	活性領域
22	酸化物層	24	プレシリサイド清浄プロセス
26	フィールド酸化層(FOX)領域		
28	Ni(Pt)層	30	Ti被覆層
32	短時間アニール(RTA)プロセス		
40	Ti被覆したNi(Pt)膜		
50、60	シリサイド/Ni(Pt)Si		

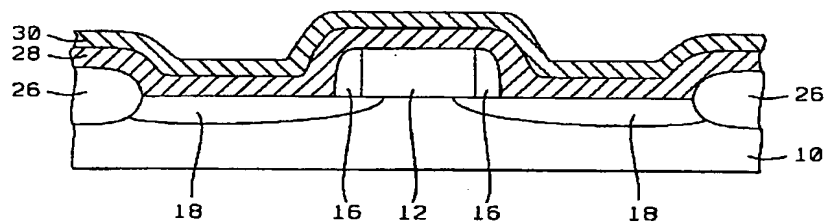
【図1】



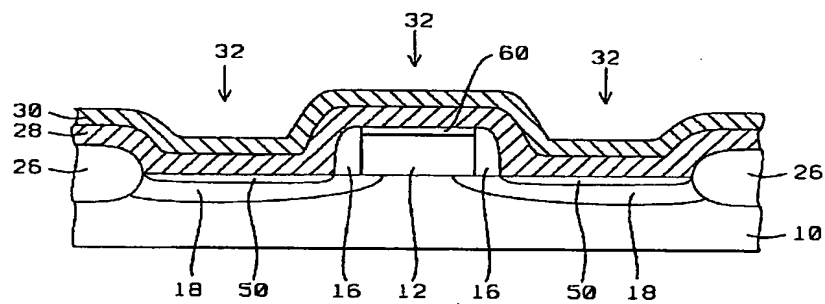
【図2】



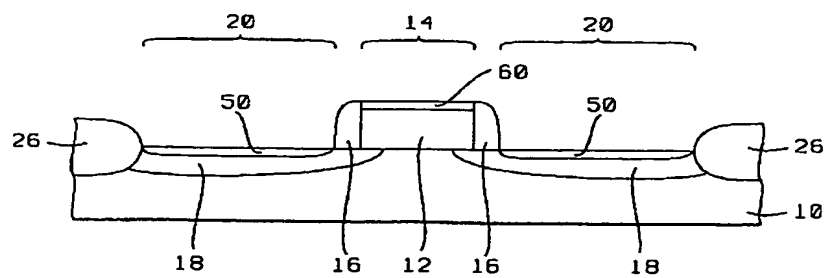
【図3】



【図4】



【図5】



フロントページの続き

(51)Int.Cl.⁷

H01L 29/78

識別記号

F I

テ-マ-ド' (参考)

(72)発明者 コン・ヒーン・リー
シンガポール国イシュン・リング・ロード, ナンバー 02-4391, ブロック 800

(72)発明者 プーイ・シー・リー
シンガポール国60036 ジュロング・イースト・アベニュー 1, ナンバー 02-1620, ブロック 336

(72)発明者 エン・ファ・リム
シンガポール国460521, 06-280, アベニュー 1, ベドック・ノース, ブロック 521

(72)発明者 ソン・ユン・シャム
シンガポール国680234, ナンバー 08-01, チョア・チュ・ケン・センター, ブロック 234

(72)発明者 ペイ・キン・レオン
シンガポール国659248, ナンバー 09-02, ギリン・ビュー, ブキアー・バトック・ストリート 52, 28

Fターム(参考) 4M104 AA01 BB01 BB21 BB22 CC01
CC05 DD02 DD23 DD40 DD64
DD79 DD80 DD84 FF14 GG09
5F033 HH04 HH25 KK25 MM07 PP15
QQ08 QQ20 QQ70 QQ73 QQ82
QQ94 TT08 WW00 WW03 WW04
5F140 AA10 AA40 BA01 BF04 BF11
BF18 BF19 BG08 BG30 BG34
BG45 BG56 BJ01 BJ08 BJ09
BK26 BK29 BK34 BK39 CB01
CF04